

明 細 書

半導体装置

技術分野

[000] 本発明は、III族窒化物半導体材料を利用した半導体装置に関し、特に動作特性の改善を図った半導体装置に関する。

本願は、2004年9月30日に出願された特願2004-289248号に対し優先権を主張し、その内容をここに援用する。

背景技術

[000] GaNに代表されるIII族窒化物半導体は、絶縁破壊電界強度が従来のSiの約10倍と大きく、飽和ドリフト速度が従来のSiの約3倍であり、移動度の点からも優れているため、高周波・高出力デバイス用半導体材料として注目されている。図9は、窒化物半導体を利用した従来の半導体装置2の断面構造を示している。基板21上には、窒化物半導体材料からなるバッファ層22が形成され、バッファ層22上には、GaN等の窒化物半導体材料からなる半導体層23が形成されている。

[000] 半導体層23上には、 $\text{Al}_{0.1-x}\text{Ga}_{0.9-x}\text{N}$ ($0 < x \leq 1$) 等の窒化物半導体材料からなる半導体層24が形成されている。半導体層24の主面20上には、電極25および26が形成されている。半導体層23と半導体層24との境界における界面201には、窒化物半導体の自発分極によって分極電荷が発生する。更に半導体層23における窒化物半導体の格子定数と半導体層24における窒化物半導体の格子定数との違いによって生じる歪みによって、界面201の近傍にピエゾ電気分極(ピエゾ電界分極ともいふ)が生じる。これにより、半導体層23と半導体層24との界面近傍にこれら分極電荷に基づく2次元キャリア(2次元電子ガス層又は2次元ホールガス層ともいう)202が発生する。

[000] この歪みは、半導体層23の格子と半導体層24の格子との大きさが異なることにより半導体層24に生じる機械的な引っ張り応力によって生じる歪みであり、それがピエゾ電気分極に寄与している。半導体層23と半導体層24のバンドギャップエネルギーが大きいので、界面201の近傍には高濃度の2次元キャリアが発生する。なお、特許文

献1には上記の構造に類似した半導体装置が記載されている。

特許文献1: 特開2003-100778号公報

発明の開示

発明が解決しようとする課題

- [0006] しかし、窒化物半導体材料を利用した従来の半導体装置においては、半導体層の上に設けられた電極と2次元キャリアとの間の半導体層内の内部抵抗が比較的大きく、順方向電圧を十分低くできないという問題があった。また、電極と2次元キャリアとの間に寄生容量が発生し、半導体装置の高周波特性に影響を与えるという問題もあった。

課題を解決するための手段

- [0006] 本発明は、上述した問題点に鑑みてなされたものであって、順方向電圧を十分に低くできると共に、高周波特性を向上した半導体装置を提供することを目的とする。
- 本発明は上記の課題を解決するためになされたもので、本発明は、第1の半導体材料からなる第1の半導体層と、該第1の半導体層上に形成される第2の半導体材料からなる第2の半導体層と、前記第1の半導体層内における、前記第2の半導体層との界面付近に形成される2次元キャリアと、前記第1の半導体層と前記第2の半導体層との界面と対向する前記第2の半導体層の主面から前記界面まで到達するように形成された凹部と、前記凹部の底面および側面に形成され、前記第1および第2の半導体層との間にショットキー接合を形成する第1の電極と、前記第2の半導体層の、前記第1の電極とは離れた領域に形成され、前記第2の半導体層と低抵抗性接触を形成する第2の電極とを具備する半導体装置である。
- [0007] 本発明において、前記第1の電極は、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されている、又は量子力学的なトンネル効果が可能な距離を隔てて前記2次元キャリアと対向するように形成されていても良い。
- [0008] また、本発明は、第1の半導体材料からなる第1の半導体層と、該第1の半導体層上に形成され、第2の半導体材料からなる第2の半導体層と、前記第1の半導体層と前記第2の半導体層との間に挟まれて、且つ、量子力学的なトンネル効果を可能とする厚みを有して形成された第3の半導体層と、前記第1の半導体層内における、前

記第3の半導体層側に形成された2次元キャリアと、前記第3の半導体層と前記第2の半導体層との界面と対向する第2の半導体層の主面から前記界面まで到達するように形成された第1の凹部と、前記第1の凹部の底面および側面に形成され、前記第2の半導体層との間にショットキー接合を形成する第1の電極と、前記第2の半導体層の、前記第1の電極とは離れた領域に形成され、前記第2の半導体層と低抵抗性接触を形成する第2の電極と、を具備する半導体装置である。

[0009] 本発明において、前記第2の半導体層の前記主面から、前記第1の半導体層と前記第2の半導体層との前記界面まで到達するように形成された第2の凹部をさらに具備し、前記第2の電極は、前記第2の凹部の底面および側面に形成されていても良い。

本発明において、前記第2の半導体層の前記主面から、前記第3の半導体層と前記第2の半導体層との前記界面まで到達するように形成された第2の凹部をさらに具備し、前記第2の電極は、前記第2の凹部の底面および側面に形成されていても良い。

[0010] 本発明において、前記第2の電極は、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されていても良い。

[0011] 本発明において、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成された第2の凹部をさらに具備し、前記第2の電極は、前記第2の凹部の底面および側面に形成されており、かつ、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されていても良い。

[0012] 本発明において、前記主面に垂直な方向から見て、前記第2の電極が、前記第1の電極を挟んで対向するように形成されていても良い。

[0013] 本発明において、前記主面に垂直な方向から見て、前記第2の電極が、前記第1の電極を囲むように形成されていても良い。

[0014] 本発明において、前記第1の電極はさらに、前記第1の凹部を囲む前記第2の半導体層の前記主面上にも形成されていても良い。

発明の効果

[0015] 本発明によれば、2次元キャリアが形成される2つの半導体層の界面に到達する凹

部に電極が形成されているので、電極と2次元キャリアとの間の半導体層内の内部抵抗を小さくすることができ、順方向電圧を低くすることができると共に、寄生容量を低減し、高周波特性を向上することができるれづ効果が得られる。

図面の簡単な説明

- [0016] [図1]図1は、本発明の第1の実施形態による半導体装置の断面構造を示す断面図である。
- [図2]図2は、第1の実施形態による半導体装置の電流電圧特性を示す参考図である。
- [図3]図3は、第1の実施形態による半導体装置の概略平面図である。
- [図4]図4は、第1の実施形態による半導体装置に逆方向電圧を印加した場合の様子を示す概略断面図である。
- [図5]図5は、本発明の第2の実施形態による半導体装置の断面構造を示す断面図である。
- [図6]図6は、本発明の第3の実施形態による半導体装置の断面構造を示す断面図である。
- [図7A]図7Aは、本発明の第3の実施形態による半導体装置の概略平面図である。
- [図7B]図7Bは、本発明の第3の実施形態による半導体装置の概略平面図である。
- [図7C]図7Cは、本発明の第3の実施形態による半導体装置の概略平面図である。
- [図8]図8は、本発明の第4の実施形態による半導体装置の断面構造を示す断面図である。
- [図9]図9は、従来の半導体装置の断面構造を示す断面図である。

符号の説明

- [0017] 1a, 1b, 1c, 2...半導体装置、皿, 21...基板、12, 22...バッファ層、13, 14, 23, 24...半導体層、15, 15a, 16, 16a, 16b, 25, 26...電極、17...半導体層、31, 32...凹部、31a, 32a...底面、31b, 32b...側面、100, 200...主面、101, 201, 203...界面、102, 202...2次元キャリア、104...空乏層

発明を実施するための最良の形態

- [0018] 以下、図面を参照し、本発明を実施するための最良の形態について説明する。図1

は、本発明の第1の実施形態による半導体装置1aの断面構造を示している。以下、図中の各構造について説明する。例えばSi、SiC、あるいはサファイア等からなる基板11上に、窒化物半導体からなるバッファ層12が形成されている。バッファ層12上には、例えばGaN等の窒化物半導体材料からなる半導体層13(第1の半導体層)が形成されている。

[0019] 半導体層13上には、半導体層13よりもバンドギャップエネルギーが大きく、例えば $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)等の窒化物半導体からなる半導体層14(第2の半導体層)が形成されている。半導体層13と半導体層14との境界面を構成する界面101は、半導体層13および半導体層14により形成されたヘテロ界面となっている。また、半導体層13と半導体層14の界面101近傍の半導体層13の領域内には、自発分極とピエゾ電気分極の効果によって、高濃度の2次元キャリア102が発生している。

[0020] 界面101と対向する半導体層14の主面100には、凹部31(第1の凹部)および凹部32(第2の凹部)が形成されている。凹部31の底面31aおよび凹部32の底面32aは、主面100から少なくとも界面101まで到達するように形成されており、本実施形態においては、界面101の位置よりも下(基板11側)に形成されている。

[0021] 凹部31の底面31aおよび側面31b上には、半導体層13および14とショットキー接合を形成する金属からなる電極15(第1の電極)が形成されている。凹部32の底面32aおよび側面32b上には、半導体層13および14と低抵抗性接触を形成すると共に低抵抗接触する金属からなる電極16(第2の電極)が形成されている。電極15の一部は、主面100上において、凹部31を囲むように形成されている。また、電極16の一部は、主面100上において、凹部32を囲むように形成されている。電極15と電極16は互いに接触していない。電極15および16は、それぞれ凹部31および32に対して金属を蒸着し、その後、エッチングにより所望の形状にパターニングすることによって形成される。

[0022] 凹部31の底面31aおよび凹部32の底面32aは、主面100から界面101の深さ以上まで到達するように形成されている。底面31aおよび底面32aは、主面100から2次元キャリア102まで到達するように形成されていることがさらに望ましい。これにより、後述するように電極15と電極16とが2次元キャリア102に接した形で2次元キャリア

1 02を介して電氣的に直接接触し、順方向電圧を低減することができる。ただし、凹部31および32を深く形成する場合には、長いエッチング時間を必要とするので、適度な深さとする必要がある。

[0023] なお、底面31aおよび底面32aが2次元キャリア1 02まで到達するように形成されていなくても、界面1 01まで到達するように形成されていれば、底面31aおよび32aと2次元キャリア1 02との間でトンネル効果による電流が流れるため、順方向電圧を低減することができる。この場合、凹部31の底面31aと2次元キャリアとの垂直方向(底面31aに垂直な方向)の距離は100オングストローム以下であることが望ましく、60オングストローム以下であることがより望ましい。凹部31および32の深さは同じでなくてもよいが、一般的に、凹部形成を同時に行うことにより製造工程を少なくすることができるため、これらの凹部の深さは同じであることが望ましい。

[0024] 凹部31の側面31bが界面1 01に対してなす角度 α は、10度以上90度以下であることが望ましい。角度 α が10度以下となり、角度が小さいと、後述するように2次元キャリアのキャリア濃度が低くなり、順方向電圧低減効果が十分発揮されなくなる。また、角度 α が90度以上となると、凹部31の側面31bに電極を良好に形成することが困難となる。角度 α を変化させることにより、図2に示されるように順方向特性を変えることができる。上記は凹部32の側面32bが界面1 01に対してなす角度に関しても成り立つ。凹部31の側面31bが界面1 01に対してなす角度と、凹部32の側面32bが界面1 01にたいしてなす角度は一樣でなくてもよいが、一樣であることが製造上望ましい。

[0025] 凹部31および32は、例えば以下のように形成される。半導体層14を形成した後、レジストを塗布し、凹部31および32が形成される領域における半導体層14の表面が開口部として露出し、他の表面がレジストによって被覆されるレジストパターンを形成する。このとき、開口部周辺において、開口部へ向かってレジストの厚さが段階的に薄くなるようなパターンを形成する。続いて、半導体層14のドライエッチングを行うと、エッチングに用いる反応ガスの作用によってレジストもエッチングされ、開口部が徐々に広がる。その結果、新たに露出した半導体層14のエッチングも進み、最終的に側面31bおよび32bが形成される。レジストの厚さが段階的に薄くなるようなパター

ンのエッジが半導体層14の主面100に対してなす角度は、ポストバック時の温度を高めること等により制御可能である。

[0026] 図3は、本実施形態による半導体装置1aを、主面100に垂直な方向から見た概略平面図である。半導体層14に電極15および16が隣り合うように形成されている。線分A-A'に沿った断面が図1である。電極15および16の形状は、図3に示されるような四角形に限定されず、例えば円形であってもよい。

[0027] 次に、本実施形態による半導体装置1aの動作について説明する。順方向に電圧を印加した場合（例えば電極15に+、電極16に-を印加した場合）、図1に矢印で示されるように、電極15→2次元キャリア102→電極16のように電流が流れる。2次元キャリア102はキャリア密度が高く、ほぼ金属層と同じとみなすことができ、電極15と2次元キャリア102とが直接接触しているので、事実上、順方向電流の通路は金属による接続とみなすことができ、半導体装置1aの順方向電圧を低く抑えることができる。

[0028] 半導体装置1aに逆方向の電圧を印加した場合（例えば電極15に-、電極16に+を印加した場合）、電極15と半導体層13および14との界面に空乏層が広がる。更に、一般的に逆方向電圧を高くした場合、リーク電流は増加するが、図4に示されるように、主面100上に形成された電極15の一部（電極15a）において、この電極15aが凹部31からある程度の距離まで離れて形成されていると、主面100上に配置された、ショットキー障壁を有する電極15によって広がる空乏層が前記空乏層とつながって、より大きい空乏層104が形成される。

以上の事柄によって、逆方向の電圧を印加した場合、2次元キャリア102と電極15との電氣的接触が遮断され、2次元キャリア102と電極15との間で電流が流れづらくなる。従って、本実施形態による半導体装置1aによれば、低い順方向電圧を維持しながら高い耐圧特性を確保することができる。

[0029] 2次元キャリアの生成には、結晶欠損が少ない窒化物半導体層を安定的に結晶成長させることが最も重要である。したがって、AlGa_N/Ga_N界面は、連続成長により形成するのが一般的である。このように形成された半導体装置1aにおいては、高密度な2次元キャリアが安定的に発生し、半導体装置1aの性能を均一に保つことが容

易である。また、高密度な2次元キャリアが低抵抗な電流通路となり、順方向電流の増大に寄与するので、半導体装置1aの順方向電圧を低下させることができる。

[0030] なお、凹部31の下端(底面31a)の位置は、バッファ層12と半導体層13との界面よりも半導体層14側であることが望ましい。一例として、半導体層13の厚さが500nmである場合に、凹部31の下端とバッファ層12および半導体層13の界面との距離は50nm以上であることが望ましい。

[0031] 上述したように本実施形態においては、電極15および16は、半導体層14の主面100から半導体層13と半導体層14との界面101に到達する深さまで形成されている。これにより、界面101の近傍に発生するキャリア濃度の高い2次元キャリア102と電極15および16との接続を低抵抗接続とする(すなわち、電極15および16と半導体層13および14との接触抵抗を低減すること)ことができ、半導体装置1aの順方向電圧を低下させることができる。

[0032] また、電極15と半導体層13および14との接触面が界面101に対してなす角度 α (傾き)を変えることによって順方向特性が変化する理由は必ずしも明らかではないが、次のように考えることができる。即ち、2次元キャリアは、半導体層13と半導体層14の格子定数の違いによって半導体層14に引っ張り歪が生じて、半導体層14の半導体層13側にプラス電荷、半導体層14の半導体層13から離間した側にマイナス電荷が発生するピエゾ分極電界によって形成される。そして、2次元キャリアのキャリア濃度は、このピエゾ分極電界の大きくなるほど、即ち半導体層14に生じる引っ張り歪が大きくなるほど高くなる。ここで、電極15と半導体層13および14との接触面が界面101に対してなす角度 α が大きくなれば、半導体層14に生じる引っ張り歪の総量が大きくなる。この結果、2次元キャリアのキャリア濃度が高くなり、2次元キャリアの抵抗値が減少して、順方向電圧を低くすることができる。

[0033] 電極材料を替えることによって、半導体装置1aの電流電圧特性(ショットキー特性)を変更することもできるが、電極材料の種類によって特性がある程度固定的に決まってしまうため、電極材料の変更のみによって所望の特性を得ようとすると、所望の特性と一致する特性が得られる電極材料の選択が困難である。また、用いる電極材料の種類によって、個体間の特性の微妙なばらつきに差がある。これに対し、本実施形

態の半導体装置1aによれば、凹部31を形成する際のエッチング条件を変更することにより、角度 α を比較的容易に所望の値に変更することができるので、所望の特性を容易に得ることができ、個体間の特性のばらつきの差を抑えることもできる。

[0034] 半導体装置1aの高周波特性は電極15と2次元キャリア102との間に発生する寄生容量の減少に従って向上する。この寄生容量は電極15と2次元キャリア102との距離に反比例する。本実施形態によれば、電極15が2次元キャリア102に接触する、あるいは2次元キャリア102との間でトンネル電流が流れるように形成されていることにより、上記の寄生容量を低減し、半導体装置1aの高周波特性を向上することができる。

[0035] 次に、本発明の第2の実施形態について説明する。図5は、本実施形態による半導体装置1bの断面構造を示している。図5において、図1と同一の構造には同一の符号を付与し、説明を省略する。本実施形態においては、半導体層14と低抵抗性接触を形成する電極16aの直下における半導体層14には凹部が形成されていない。しかし、電極15が2次元キャリア102と直接接触しているため、第1の実施形態による半導体装置1aと同様に、順方向特性を向上する等の効果を得ることができる。ただし、半導体装置1aにおいては、電極16も2次元キャリア102と直接接触しているため、半導体装置1aの方が半導体装置1bよりも順方向電圧は低い。

[0036] 電極16aと2次元キャリア102との間の抵抗値は低いほど望ましいため、半導体層14の厚さは50nm以下であることが望ましい。さらに、3 Ω nm以下であることが望ましく、2 Ω nm以下であることがより望ましい。

[0037] 次に、本発明の第3の実施形態について説明する。図6は、本実施形態による半導体装置1cの断面構造を示している。本実施形態においては、電極15を挟むように電極16が形成されている。図7は、半導体装置1cを、主面100に垂直な方向から見た概略平面図である。図7Aにおいては、電極16が2つの電極16bおよび16cに分割されており、電極16bおよび16cが、電極15を挟んで対向するように形成されている。線分B-B'における断面が図6である。また、図7Bにおいては、電極16が電極15を囲むように形成されている。線分C-C'における断面が図6である。なお、図7Cに示されるように電極15および電極16を形成してもよい。

[0038] 図7A、図7B、図7Cにおいては、電極15がショットキー電極であり、電極16、16b、および16cがオーミック電極であるが、逆であってもよい。また、電極15および16の数は図7A、図7B、図7Cに示される場合に限られない。さらに、電極の形状は図7A、図7B、図7Cに示される形状に限られない。本実施形態によれば、主面100に垂直な方向から見た場合に、電極16が電極15を挟んで対向するように、あるいは電極16が電極15を囲むように形成したことにより、図3のように電極を形成した場合と比較して、半導体装置のオン抵抗を下げることができ、且つ電流経路の面積を増加することができるので、順方向電圧を低減し、かつチップ面積を増大することなく電流容量を増加することができる。

[0039] 次に、本発明の第4の実施形態について説明する。図8において、本実施形態による半導体装置1dの断面構造を示している。図8において、図1と同一の構造には同一の符号を付与し、説明を省略する。本実施形態においては、GaNなどからなる半導体層(第1の半導体層)13と、半導体層13よりもバンドギャップエネルギーが大きく、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)等の窒化物半導体からなる半導体層(第2の半導体層)14との間に、半導体層13及び半導体層14よりも薄い $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1, x < y$)からなる半導体層(第3の半導体層)17が挟まれており、半導体層17と半導体層13の界面203近傍の半導体層13の領域内には、自発分極とピエゾ電気分極の効果によって、高濃度の2次元キャリア102が発生している。ちなみに、半導体層17は50オングストローム以下であることが望ましく、5〜20オングストローム程度であることが更に望ましい。

[0040] 半導体層17と対向する半導体層14の主面100には、凹部(第1の凹部)31及び凹部(第2の凹部)32が形成されている。

凹部31の底面31a及び凹部32の底面32a上にはそれぞれ電極(第1の電極15、第2の電極16)が形成されている。凹部31の底面31a及び凹部32の底面32aは、主面100から2次元キャリア102まで到達するように形成されていることが望ましい。なお、底面31a及び底面32aが2次元キャリア102まで到達するように形成されていなくとも界面203まで到達するように形成されていれば、底面31a及び底面32aと2次元キャリア102との間でトンネル効果による電流が流れるため、後述する本発明の効果

を得ることができる。また、半導体層17がトンネル効果によって電流が流れる程度の厚み(量子力学的なトンネル効果を可能とする厚み)を有する場合、底面31a及び底面32aが2次元キャリア102まで到達するように形成されていなくとも、半導体層17と半導体層14との界面204まで到達するように形成されていれば、トンネル効果によって後述する本発明の効果を得ることができる。また、凹部31の底面31aの深さと凹部32の底面32aの深さは異なってもよく、例えば、凹部31の底面31aは界面203まで達し、凹部32の底面32aは2次元キャリア102まで達してもよい。

[0041] 凹部31の底面31a及び側面31b上には、凹部31と接する各半導体層(図8の場合、半導体層14及び半導体層17)とショットキー接合を形成する金属からなる電極15(第1の金属)が形成されている。凹部32の底面32a及び側面32b上には、凹部32と接する各半導体層(図8の場合、半導体層14及び半導体層17)と低抵抗性接触を形成する金属からなる電極16(第2の金属)が形成されている。

なお、本発明の第1の実施形態のように凹部31の側面31bが半導体層13と半導体層17との界面に対してなす角度 α は、10度以上90度以下であることが望ましい。

[0042] 本発明の第4の実施形態による半導体装置1dの動作について説明する。順方向に電圧を印加した場合、第1の実施形態のように電極15→2次元キャリア102→電極16のように電流が流れる。一般的に、ヘテロ界面を形成する半導体層13と半導体層14の間に半導体層17を挟むことによって、2次元キャリア102の移動度がさらに向上し、半導体層内を流れる電流の抵抗値を低く抑えることができる。 $\text{Al}_Y\text{Ga}_{1-Y}\text{N}$ におけるY)が大きいほど、上記効果は大きい。これは、半導体層17によって半導体層14の合金拡散の影響を抑制できることによると考えられている。図9のような従来構造においても、半導体層23と半導体層24の間に半導体層24よりもAl濃度($\text{Al}_Y\text{Ga}_{1-Y}\text{N}$ におけるY)が大きい半導体層17を挟むと上記効果を得ることができる。しかしながら、半導体装置2を流れる電流は、半導体層24→半導体層17→2次元キャリア202→半導体層17→半導体層24と流れるため、電流が半導体層17を通ることによって逆に順方向電圧の上昇を引き起こしてしまう。特に、 AlN ($\text{Al}_Y\text{Ga}_{1-Y}\text{N}$ においてY=1)は絶縁性として知られており、逆に順方向電圧が上昇することもある。

本発明における半導体装置1dによれば、第1の電極15及び第2の電極16は2次

元キャリア1 02に達するまで掘られた凹部の上に形成されているので、電極15→2次元キャリア1 02→電極16のように電流が流れる。従って、半導体層17を挟むことによって順方向電圧が上昇してしまう問題を解決することができる。以上のように、第4の実施形態では、第1の実施形態における効果に加えて、より順方向電圧を低減することができる。ちなみにその効果は、半導体層17に含まれるAl濃度 ($\text{Al}_Y\text{Ga}_{1-Y}\text{N}$ におけるY)の増大と共に増大し、特に、半導体層17がAlNである場合、最も順方向電圧を低減する効果を得ることができる。

[0043] 逆に、半導体装置1dに逆方向電圧を印加した場合、第1の実施形態のように、2次元キャリア1 02と第1の電極15との電氣的接触が遮断され、2次元キャリア1 02と第1の電極15との間で電流が流れづらくなる。従って、第4の実施形態による半導体装置1dによれば、さらに低い順方向電圧を維持しながら高い耐圧特性を確保することができる。

[0044] 尚、第2の実施形態や第3の実施形態における半導体装置に対し、第4の実施形態における半導体層17を形成しても良い。

[0045] 上述した全ての実施形態において、電極15の材質には、チタン(Ti)、タングステン(W)、金(Au)、銀(Ag)、ニッケル(Ni)、パラジウム(Pd)、白金(Pt)、銅(Cu)の各金属、あるいはこれらのいずれかを組み合わせた合金等であって、半導体層13および14に対してショットキー特性を示す金属材料全てが適応する。また、電極16、16a、16b、16cの材質には、GaN層に対して低抵抗接触となるAlTi等の金属材料および合金全てが適応する。

[0046] また、窒化物半導体とは、N型やP型のドーパント、プロトン、酸素、鉄等の各種不純物を注入したものであってもよい。図1、図5、図6、および図8においては基板皿が設けられているが、基板皿が設けられていなくてもよい。

[0047] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成はこれらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0048] 本発明の活用例として、ショットキー電極構造を有する半導体装置への適用が好適

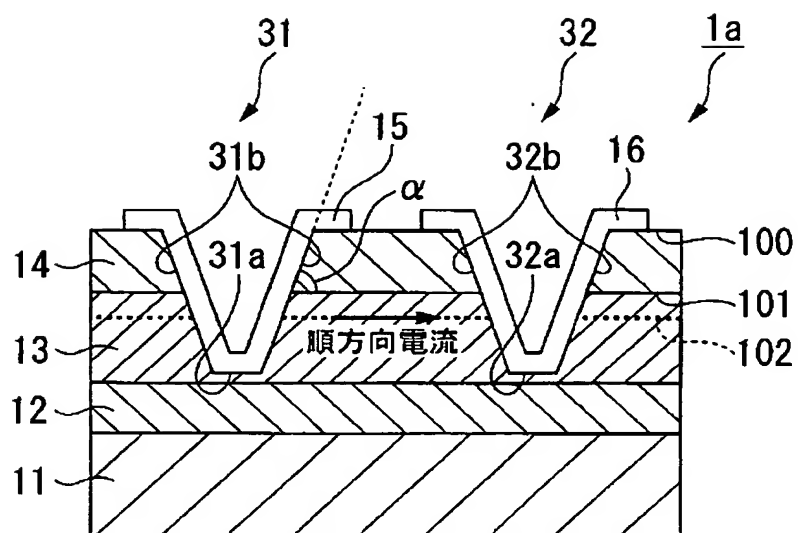
である。

請求の範囲

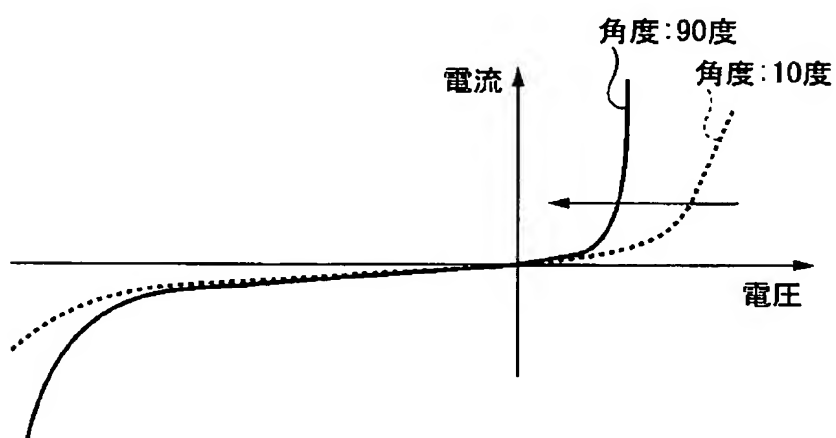
- [1] 第1の半導体材料からなる第1の半導体層と、
該第1の半導体層上に形成される第2の半導体材料からなる第2の半導体層と、
前記第1の半導体層内における、前記第2の半導体層との界面付近に形成される2次元キャリアと、
前記第1の半導体層と前記第2の半導体層との界面と対向する前記第2の半導体層の主面から前記界面まで到達するように形成された第1の凹部と、
前記第1の凹部の底面および側面に形成され、前記第1および第2の半導体層との間にショットキー接合を形成する第1の電極と、
前記第2の半導体層の、前記第1の電極とは離れた領域に形成され、前記第2の半導体層と低抵抗性接触を形成する第2の電極と、
を具備する半導体装置。
- [2] 前記第1の電極は、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されている、又は量子力学的なトンネル効果が可能な距離を隔てて前記2次元キャリアと対向するように形成されている、請求項1に記載の半導体装置。
- [3] 第1の半導体材料からなる第1の半導体層と、
該第1の半導体層上に形成され、第2の半導体材料からなる第2の半導体層と、
前記第1の半導体層と前記第2の半導体層との間に挟まれて、かつ、量子力学的なトンネル効果を可能とする厚みを有して形成された第3の半導体層と、
前記第1の半導体層内における、前記第3の半導体層側に形成された2次元キャリアと、
前記第3の半導体層と前記第2の半導体層との界面と対向する第2の半導体層の主面から前記界面まで到達するように形成された第1の凹部と、
前記第1の凹部の底面および側面に形成され、前記第2の半導体層との間にショットキー接合を形成する第1の電極と、
前記第2の半導体層の、前記第1の電極とは離れた領域に形成され、前記第2の半導体層と低抵抗性接触を形成する第2の電極と、
を具備する半導体装置。

- [4] 前記第2の半導体層の前記主面から、前記第1の半導体層と前記第2の半導体層との前記界面まで到達するように形成された第2の凹部をさらに具備し、
前記第2の電極は、前記第2の凹部の底面および側面に形成されている、請求項1に記載の半導体装置。
- [5] 前記第2の半導体層の前記主面から、前記第3の半導体層と前記第2の半導体層との前記界面まで到達するように形成された第2の凹部をさらに具備し、
前記第2の電極は、前記第2の凹部の底面および側面に形成されている、請求項3に記載の半導体装置。
- [6] 前記第2の電極は、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されている、請求項1又は請求項3に記載の半導体装置。
- [7] 前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成された第2の凹部をさらに具備し、
前記第2の電極は、前記第2の凹部の底面および側面に形成されており、かつ、前記第2の半導体層の前記主面から前記2次元キャリアまで到達するように形成されている、請求項2に記載の半導体装置。
- [8] 前記主面に垂直な方向から見て、前記第2の電極が、前記第1の電極を挟んで対向するように形成されている、請求項1又は請求項3に記載の半導体装置。
- [9] 前記主面に垂直な方向から見て、前記第2の電極が、前記第1の電極を囲むように形成されている、請求項1又は請求項3に記載の半導体装置。
- [10] 前記第1の電極はさらに、前記第1の凹部を囲む前記第2の半導体層の前記主面上にも形成されている、請求項1又は請求項3に記載の半導体装置。

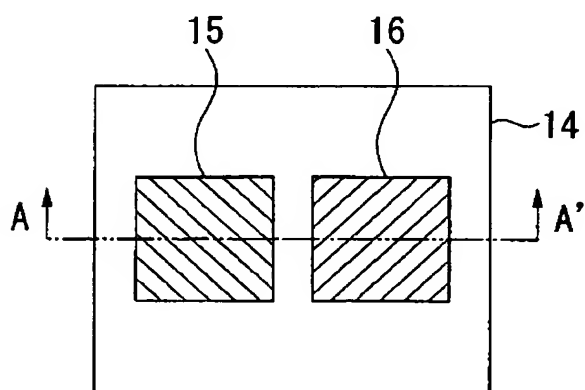
[図1]



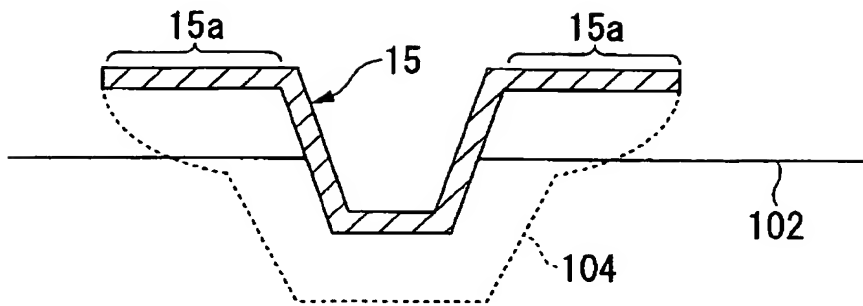
[図2]



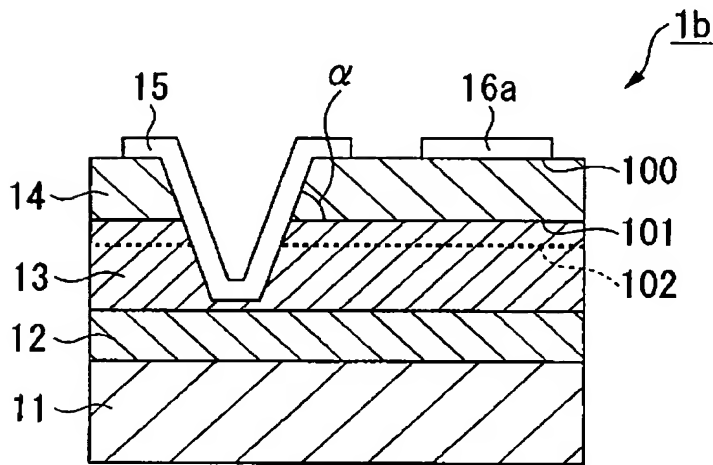
[図3]



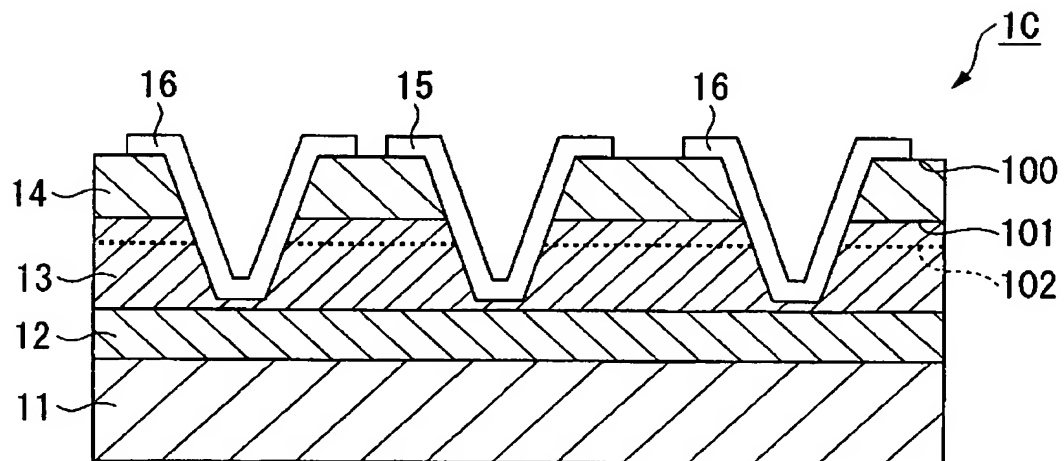
[図4]



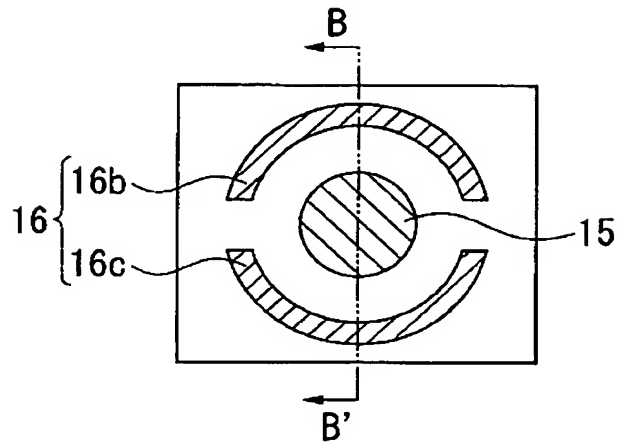
[図5]



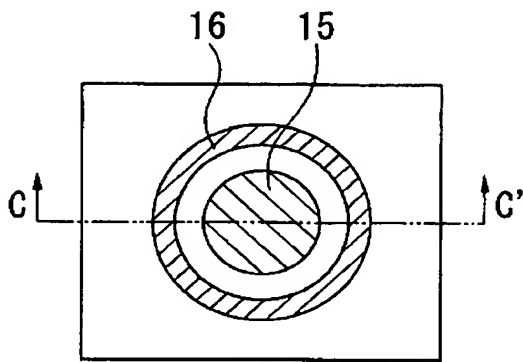
[図6]



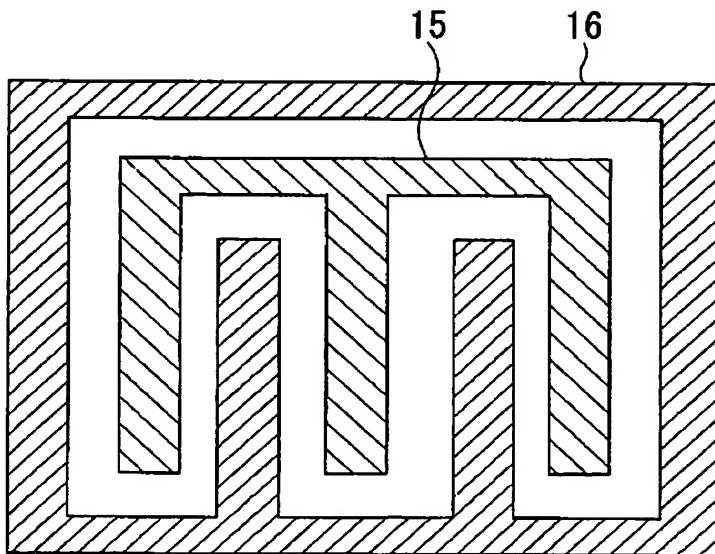
[図7A]



[図7B]



[図7C]



A cross-sectional view of a semiconductor device 200. The device consists of a substrate 21 with a first layer 22, a second layer 23, and a third layer 24. A dashed line 201 indicates an interface between the second and third layers. A dotted line 202 indicates an interface between the first and second layers. Two rectangular regions 25 and 26 are formed on the top surface of the third layer 24. An arrow 2 points to the device 200.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015405

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47 (2006.01), **H01L29/872** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47 (2006.01), **H01L29/872** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2005
Kokai	Jitsuyo	Shinan	Koho	1971-2005	Toroku	Jitsuyo	Shinan	Koho
								1994-2005

Electronic database consulted during the international search (name of database and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-229566 A (The Furukawa Electric Co., Ltd.), 15 August, 2003 (15.08.03), Full text; all drawings & US 2003/0098462 A1	1-10
A	JP 03-016179 A (Matsushita Electronics Corp.), 24 January, 1991 (24.01.91), Full text; all drawings (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.☐ See parent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 October, 2005 (31.10.05)Date of mailing of the international search report
08 November, 2005 (08.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/47 (2006.01), H01L29/872 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/47 (2006.01), H01L29/872 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996 年
日本国公開実用新案公報	1971-2005 年
日本国実用新案登録公報	1996-2005 年
日本国登録実用新案公報	1994-2005 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連する認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 3 - 2 2 9 5 6 6 A (古河電気工業株式会社) 2 0 0 3 . 0 8 . 1 5 , 全文, 全図 及 U S 2 0 0 3 / 0 0 9 8 4 6 2 A 1	1 - 1 0
A	J P 0 3 - 0 1 6 1 7 9 A (松下電子工業株式会社) 1 9 9 1 . 0 1 . 2 4 , 全文, 全図 (7 アミリーなし)	1 - 1 0

隠 C欄の続きにも文献が列挙されている。

行 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- IAJ 特に関連のある文献ではなく、一般的な技術水準を示すもの
- IEJ 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- ILJ 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- IOJ 口頭による開示、使用、展示等に言及する文献
- IPJ 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の役に公表された文献

- ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- IXJ 特に関連のある文献であって、当議文献のみで発明の新規性又は進歩性がないと考えられるもの
- IYJ 特に関連のある文献であって、当議文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- I&J 同一パテントファミリー文献

国際調査を完了した日

3 1 . 1 0 . 2 0 0 5

国際調査報告の発送日

0 8 . 1 1 . 2 0 0 5

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

4 L

8 4 2 7

電話番号 03-3581-1101 内線 3498